

I SISTEMI BOUNDARY-SCAN OLTRE IL COLLAUDO

# La versatilità del boundary scan per programmazione e debug

Lo standard JTAG IEEE 1149.1, definito da Joint Test Action Group, originariamente sviluppato per facilitare il collaudo strutturale delle schede assemblate, nonché per collaudare le schede nelle quali è impossibile realizzare un contatto fisico tra i piedini dei componenti e una sonda esterna, diventa particolarmente importante nelle schede con componenti SMD e BGA.

Peter van den Eijnden

Lo standard JTAG è utile anche per la programmazione di flash, di FPGA e per il debug hardware e software dei prototipi

Il collaudo strutturale esamina le proprietà fisiche della scheda: la presenza dei giusti componenti e l'esistenza dei collegamenti corretti. Il vantaggio principale di questo metodo è la **diagnosi diretta** dei difetti. Con il "boundary-scan" un collegamento difettoso può essere rilevato direttamente e diagnosticato a livello del singolo piedino. Inoltre, la collaudabilità (dall'inglese testability) di un progetto può essere calcolata direttamente a partire dallo schema elettrico. Il progettista può utilizzare i risultati dell'analisi per migliorare ulteriormente il grado di collaudabilità del progetto. Lo specialista del collaudo esegue il calcolo sul livello di copertura dei guasti per determinare se la copertura della scheda è inferiore a quella calcolata dal progettista durante l'analisi di collaudabilità.

## Lo standard IEEE

Lo standard IEEE 1149.1 definisce due elementi principali: l'interfaccia, chiamata Test Access Port o Tap, e la logica dei registri dedicati al collaudo. Lo standard definisce anche la logica dei registri necessaria per collaudare i piedini digitali. Due standard successivi hanno definito la logica supplementare richiesta per gestire i piedini analogici (IEEE 1149.4) e i piedini con accoppiamento AC ad alta velocità (IEEE 1149.6) Usando l'interfaccia JTAG (Tap), lo specialista del collaudo accede per via seriale alla logica di collaudo integrata all'interno dei chip. La logica di collaudo è indipendente da quella dedicata a svolgere le funzionalità proprie del chip (core), che risulta da essa separata. Un elemento fondamentale della logica di collaudo è il registro boundary-scan. Il chip da collaudare può funzionare secondo **due modalità** distinte:

- normale, il nucleo interno gestisce i piedini di controllo del chip secondo lo scopo per cui è

stato progettato;

- boundary-scan, i piedini di I/O del chip vengono controllati direttamente dalla logica di collaudo (registro boundary-scan) indipendentemente dalla funzionalità del chip. L'interfaccia di collaudo è composta da quattro segnali: TDI (Test Data In), TDO (Test Data Out), TCK (Test Clock) e TMS (Test Mode Select). Un quinto segnale di interfaccia, TRST (Test Reset attivo basso) è considerato opzionale.

In una scheda che monta componenti adatti al collaudo boundary-scan, i segnali seriali di collaudo TDI e TDO sono collegati in serie per creare delle catene (chain) o stringhe ai cui estremi vi è un segnale TDI e un segnale TDO. Se necessario, è possibile creare più catene di collegamento. I registri di collaudo integrati sul chip risultano accessibili in modo seriale tramite le catene dei segnali TDI e TDO.

## Applicazioni

Oltre che per il collaudo, lo standard IEEE 1149.1 è utilizzato anche per altre applicazioni: programmazione delle **memorie flash** e dei dispositivi logici programmabili, per attività di debug hw&sw durante la realizzazione di **prototipi**. La tecnologia boundary-scan si è rivelata molto utile non soltanto in produzione, ma durante il ciclo di debug di un progetto, in particolare nello stadio di prototipo.

## Collaudo

Per collaudare una scheda, i registri consentono di accedere in modalità seriale a tutti i piedini dei chip. Utilizzando la possibilità di impostare a uno o zero i piedini di uscita e di leggere quelli di ingresso ad esso collegati, è possibile rileggere i valori impostati. In caso di differenza tra i valori impostati sulle uscite e quelli riletti dagli ingressi

## L' AUTORE

P. van den Eijnden, Presidente,  
JTAG Technologies, Eindhoven,  
Olanda



*Il collaudo e la programmazione dei dispositivi con la metodologia JTAG/Boundary-scan richiede l'accesso fisico mediante l'interfaccia seriale standard Tap (Test Access Port).*

a cui sono collegati, è possibile identificare eventuali difetti nelle connessioni. Applicando la giusta combinazione di valori zero e uno sotto forma di pattern di collaudo, la presenza di un difetto e la sua causa (circuito aperto o corto circuito tra collegamenti) può essere scoperta. È possibile collaudare anche i dispositivi che non dispongono al loro interno della logica di collaudo boundary-scan. Ciò si ottiene controllando l'ingresso dei dispositivi

mediante un sistema boundary-scan e osservando le uscite da un boundary-scan. L'esecuzione di procedure di collaudo di questo tipo prende il nome di **cluster testing** (collaudo per gruppi), per esempio per verificare il corretto funzionamento di logica casuale o per eseguire prove di interconnessione per verificare le saldature tra i dispositivi di memoria e la scheda. Oltre che per il collaudo, l'interfaccia seriale può essere usata per programmare le memorie flash, anche se questi dispositivi

di memoria non hanno l'interfaccia boundary-scan. Le flash possono essere trattate come gruppi (cluster) di dispositivi. Usando i componenti circostanti dotati di interfaccia boundary-scan per accedere ai segnali di indirizzo, dati e controllo, è possibile scrivere e rileggere i valori che servono delle memorie flash.

La logica di collaudo di un chip può contenere altri registri oltre a quello dedicato al boundary-scan. Questi registri facilitano altre applicazioni che si avvalgono dell'interfaccia seriale Tap ad alta velocità.

Un'applicazione simile è la programmazione sul sistema dei dispositivi logici programmabili (PLD), spesso indicata con il nome di program-

mazione JTAG.

### Debug hardware

Il boundary-scan può anche essere usato per facilitare le attività di debug durante la realizzazione di un prototipo hardware. Una delle misure più comuni è il cosiddetto "cicalino" o "buzz", una semplice prova di continuità eseguita col multimetro per verificare l'esistenza di una connessione che, in caso positivo, fa suonare il cicalino dello strumento. Con la presenza dei piccoli componenti SMD sulla scheda, il collegamento delle sonde del multimetro ai piedini dei componenti è diventato impossibile. Usando i registri boundary-scan nei chip è possibile eseguire le prove di continuità anche durante le riparazioni, per verificare l'esistenza di un collegamento tra due piedini.

### Debug software

In questo caso, è la logica di debug interna di un microprocessore che viene controllata attraverso l'interfaccia Tap. Applicando comandi appropriati alla logica di debug, l'attività del microprocessore può essere monitorata, si possono ispezionare i contenuti di vari registri, si possono controllare e modificare i contenuti delle locazioni di memoria, oppure si possono impostare punti di interruzione (breakpoint) nel flusso di programma.

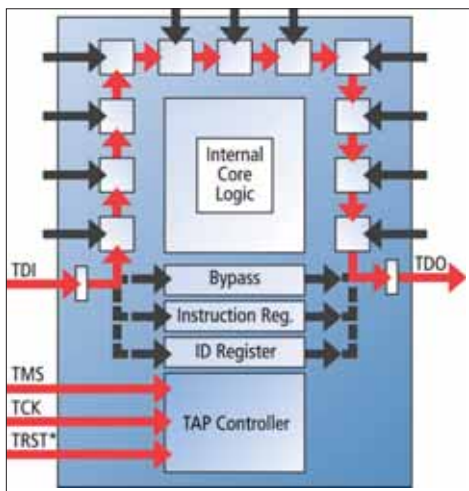
Per il **collaudo** di schede e la **programmazione** di componenti con boundary-scan, sono indispensabili: controllore boundary-scan (hardware); software di sviluppo per creare i pattern di collaudo; software di produzione.

Il controllore (boundary-scan controller) invia i dati seriali (sequenza di pattern di collaudo) attraverso le catene di collegamento seriali. Esistono vari tipi di controllori per boundary-scan che differiscono principalmente per la velocità con la quale possono generare le sequenze di collaudo e per il numero di catene seriali che sono in grado di gestire in parallelo.

### Software di sviluppo

Il software di sviluppo può spesso generare automaticamente la sequenza di vettori di collaudo necessaria. Lo schema elettrico della scheda (net list), i file che descrivono i componenti boundary-scan in **linguaggio BSDL** (Boundary-Scan Description Language) e i modelli opzionali per la descrizione dei componenti non boundary-scan costituiscono i dati di ingresso del software per la generazione automatica di pattern di collaudo (ATPG).

Lo schema elettrico in forma di net list descrive quali dispositivi sono presenti sulla scheda e



*Realizzazione delle funzionalità JTAG/boundary-scan a livello di circuito integrato (IEEE 1149.1).*

come i rispettivi piedini sono tra loro interconnessi. I file BSDL descrivono le caratteristiche delle funzionalità boundary-scan presenti in un dispositivo. Un file BSDL descrive l'ordine dei bit nel registro boundary-scan, le relative istruzioni e i codici supportati dal dispositivo.

I modelli per i componenti non boundary-scan descrivono, per lo meno, quali sono i piedini di ingresso e di uscita del dispositivo e quali piedini di uscita possono essere disabilitati per evitare contese sul bus. Se un modello del genere descrive anche il comportamento funzionale del dispositivo, allora è possibile generare automaticamente per questi componenti anche il programma per il collaudo a gruppi (cluster test).

### Software di produzione

Dopo che i pattern di collaudo sono stati sviluppati e validati da uno specialista del collaudo usando il software di sviluppo, è possibile utilizzarli in ambiente di produzione, dove il software costituisce l'ambiente operativo per eseguire i collaudi. A quel punto si può avviare automaticamente la sequenza di collaudo. Il software di produzione può essere utilizzato come soluzione autonoma, oppure integrato con altre apparecchiature di collaudo.

### Debugging

Mentre le applicazioni di programmazione sul sistema sono per lo più automatiche, le applicazioni di debug tendono a essere più interattive. Per facilitare la attività di debug serve un controllore boundary-scan, oltre a specifici software interattivi orientati alle esigenze del debug.

Per il debug del software, gli applicativi danno la possibilità di ispezionare e impostare il contenuti di vari registri del microprocessore, locazioni di memoria e condizioni di interruzione. Il processore può essere avviato e arrestato in modo controllato per osservare l'evoluzione di un programma.

Il software applicativo per il debug hardware permette di selezionare un piedino appartenente a una catena boundary-scan e di controllare la condizione di continuità tra due piedini, di osservare il valore del piedino di ingresso selezionato o di impostare un valore di uscita specifico su di un pin rileggendo il corrispondente valore da un piedino di ingresso ad esso collegato.

La metodologia boundary-scan offre numerose possibilità applicative in produzione, e non solo per il collaudo delle schede. Essa costituisce un metodo economico per la programmazione, nonché per il debug ■



#### PER SAPERNE DI PIÙ

JTAG Technologies ([www.jtag.com/it](http://www.jtag.com/it)) è attiva nello sviluppo di soluzioni di test basate sullo standard IEEE 1149.1 sin dall'inizio degli anni '80 e in Italia è distribuita da All-Data ([www.alldata.it](http://www.alldata.it)).