

Un solo 'core' non basta più

L'avvento dei microprocessori 'multicore' rappresenta una pietra miliare per la moderna tecnologia informatica

MASSIMO GIUSSANI

Una volta era la frequenza. Fino a pochi anni fa, la lotta tra i principali produttori di microprocessori avveniva a colpi di clock: le prestazioni erano infatti misurate in termini di frequenza di funzionamento, con la potenza di calcolo diretta conseguenza della velocità con cui le singole istruzioni venivano eseguite. Il progresso è stato tale che ci si è rapidamente avvicinati ai limiti imposti dalla tecnologia a semiconduttore: una volta passata la barriera dei 3 GHz, infatti, i problemi di dissipazione termica e di propagazione del segnale hanno reso sempre più arduo continuare a seguire la legge di Moore. Si è così passati dal raddoppio delle prestazioni ogni anno e mezzo al raddoppio ogni cinque anni, un chiaro segno che era necessario percorrere altre strade.

Invece di aumentare la velocità di esecuzione delle singole istruzioni, si è scelto di fare eseguire più istruzioni in parallelo, utilizzando più nuclei di elaborazione.

Due, quattro, otto, milleventiquattro core!

L'idea dell'elaborazione multiprocessore non era certo nuova, tutt'altro: sistemi a processori multipli hanno fatto parte della storia dell'informatica fin dai suoi primordi, e sistemi integrati dedicati come le GPU e i processori di rete fanno da tempo uso di un'architettura parallela più o meno sofisticata. La novità risiedeva nella proposta, da parte di attori del calibro di IBM e Sun Microsystems, di microprocessori 'general purpose' ad alte prestazioni che integrassero su un unico chip più nuclei di elaborazione o 'core'. Gli integrati 'multicore' Power4 di IBM e Niagara di Sun hanno

dato il via a una nuova corsa alle prestazioni che, una volta intrapresa anche da Intel e AMD, ha portato i microprocessori 'dual' e 'quad core' nelle case, negli uffici e nelle aziende di tutto il mondo. Si prospetta, in ambito 'mainstream', l'instaurazione di una variante della legge di Moore che prevede il raddoppio del numero di core a ogni nuova generazione di processori. La diffusione di questo approccio riguarda tutti gli ambiti della tecnologia informatica, dai DSP ai server 'high-end'. Texas Instruments e Freescale offrono DSP a tre, quattro e otto core; nell'ambito dei processori di rete, Cavium e Broadcom realizzano sistemi a otto core, mentre Cisco già nel 2005 aveva integrato su un singolo die ben 188 core in tecnologia Risc (Reduced Instruction Set Core). Il trend verso le architetture 'manycore', ossia con decine o centinaia di core, pare essere già iniziato: Picochip ha posizionato 248 unità di elaborazione su un unico chip DSP e ai laboratori Sandia sono stati studiati i limiti prestazionali di un sistema a 1.024 core.

Superare i limiti dei sistemi a singolo core

Il passaggio ad architettura con core multipli, che suppliscono al limite in frequenza con il numero delle unità di elaborazione in parallelo, permette di spostare le tre principali barriere all'incremento delle prestazioni dei processori tradizionali. La prima barriera è rappresentata dal collo di bottiglia della memoria fuori integrato: con l'aumentare delle frequenze operative, i ritardi per la propagazione del segnale e l'accesso ai dati in memoria vanificano ogni miglioria in termini di tempo di esecuzione delle istruzioni da parte della CPU. Esiste un limite anche al parallelismo a livello di

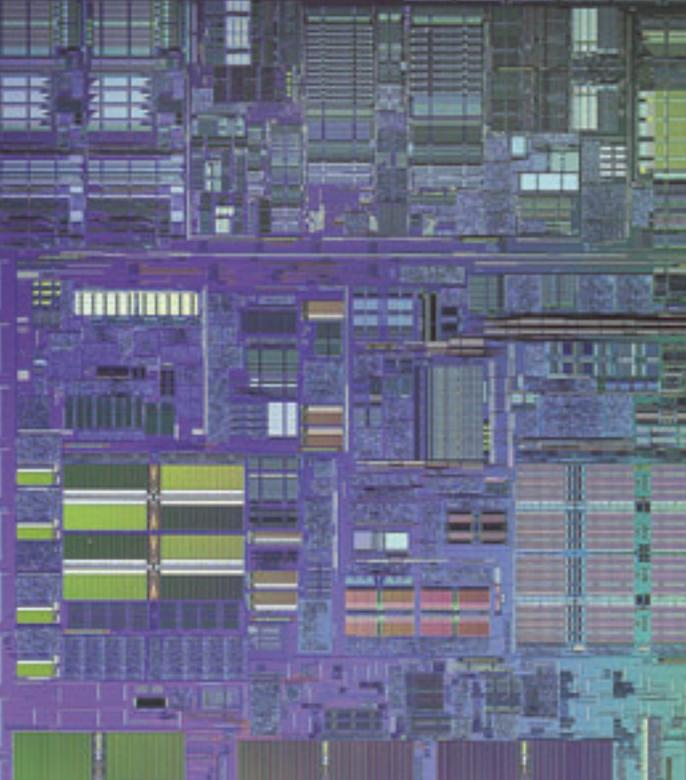


Figura 1 - Il processore dual core Power4 di IBM (precursore delle famiglie Power5 e Power6) ha inaugurato l'era dei microprocessori multicore

istruzione: un singolo processo sequenziale non può essere decomposto oltre un certo limite in istruzioni da eseguire in parallelo. L'ultima barriera è quella relativa alla potenza: per aumentare la velocità dei dispositivi bisogna diminuire i tempi necessari allo spostamento delle cariche elettriche, cosa che comporta il ricorso a correnti sempre più elevate. La conseguenza è che un incremento di frequenza operativa si traduce in un aumento quantomeno proporzionale della potenza dissipata con tutte le problematiche di consumo energetico e di dissipazione termica che ne derivano. Se si sceglie di incrementare le prestazioni attraverso la molteplicità dei core, la frequenza di funzionamento dei singoli elementi può essere ridotta, riducendo anche la potenza dissipata, mentre viene eliminato il collo di bottiglia rappresentato dalla comunicazione tra i processori e la memoria cache, ora localizzati sul medesimo chip. Diventa inoltre possibile gestire in maniera più efficiente e bilanciata il parallelismo a livello di processo o di bit. Un microprocessore con architettura multicore unisce su un unico circuito integrato due o più nuclei di elaborazione più o meno indipendenti connessi in maniera tale da condividere l'esecuzione simultanea di un processo computazionale. A seconda di come sono connessi tra loro, i core possono spartirsi in diverso modo il flusso di istruzioni e/o i dati da elaborare. Ogni core può essere dotato di una propria memoria cache locale e beneficiare delle ottimizzazioni indipendenti già collaudate sui tradizionali processori, come l'esecuzione 'multithread', il ricorso a 'pipeline' e all'esecuzione super-scalare.

Tassonomia dei sistemi multicore

Esistono diversi modi per classificare le architetture multiprocessore e, di conseguenza, gli integrati multicore. Nel 1966, Michael Flynn ha proposto una categorizzazione, adatta ai sistemi omogenei e tuttora attuale, che si basa sul-

l'identificazione di due flussi ortogonali di informazioni: il flusso delle istruzioni e il flusso dati. Un sistema multiprocessore può condividere indipendentemente l'uno o l'altro flusso, per un totale di quattro tipologie rispettivamente denominate SiSd (Single Instruction, Single Data), MiSd (Multiple Instruction, Single Data), SiMd (Single Instruction, Multiple Data) e MiMd (Multiple Instruction, Multiple Data). I sistemi SiSd sono sostanzialmente i tradizionali processori a singolo core, che eseguono un unico flusso di istruzioni operando sui dati contenuti in una cella di memoria per volta. I sistemi MiSd prevedono che i diversi processori eseguano istruzioni differenti per operare sul medesimo flusso dati; si tratta di un'architettura ideale che ha dei tratti in comune con il pipelining. A rientrare a pieno titolo nella famiglia dei multiprocessori sono i sistemi SiMd e MiMd. I primi smistano un singolo flusso di istruzioni su più dati in parallelo: è il caso, ad esempio, dei processori vettoriali o matriciali. I sistemi di elaborazione MiMd, invece, passano a ciascun core differenti porzioni di codice da eseguire su dati in parallelo; si tratta della classe più flessibile di sistemi multiprocessore che contempla in particolare i sistemi multiprocessore simmetrici (SMP) e i processori a parallelismo massiccio (MPP). Gli schemi di interconnessione tra i core e il modo in cui essi gestiscono la memoria permettono di caratterizzare ulteriormente i sistemi multiprocessore più complessi. In particolare un ulteriore raffinamento della tassonomia di Flynn si ottiene differenziando

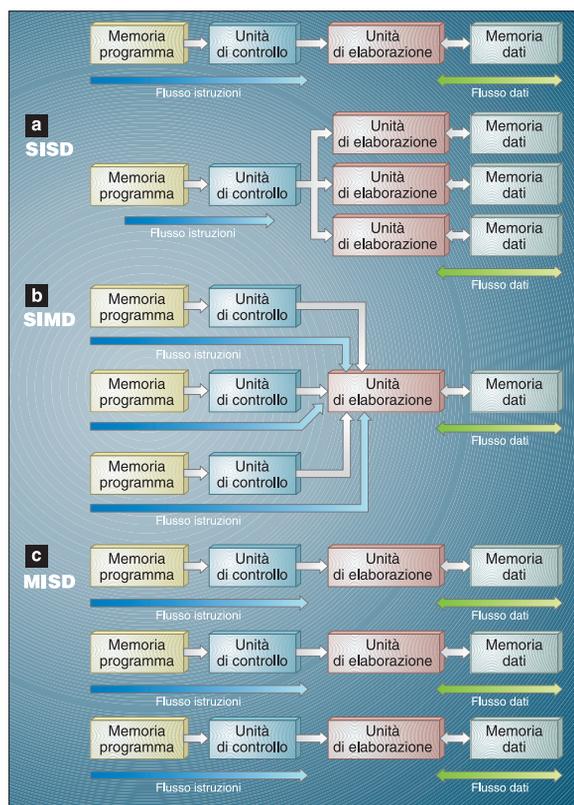


Figura 2 - Classificazione morfologica delle architetture di elaborazione parallela secondo Flynn: a) SiSd; b) SiMd; c) MiSd

tra interconnessioni a bus e commutate e tra sistemi a memoria condivisa e no. Alcune delle topologie di interconnessione dei core sono schematicamente illustrate in figura 3: la scelta di una rispetto all'altra è spesso dettata dall'esigenza di contenere i costi di produzione.

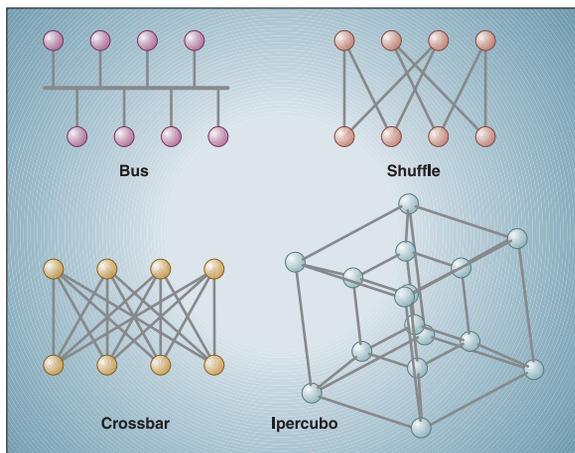


Figura 3 - La rete di interconnessione tra i diversi core può assumere diverse forme per motivi di contenimento dei costi o per realizzare particolari applicazioni. Qui sono mostrate le topologie a bus, doppio bus, multistadio con rimescolamento, matrice di interconnessione (crossbar) e ipercubo

In pratica: SiMd e MiMd

I processori con architettura SiMd sono pensati per sfruttare il parallelismo implicito nelle operazioni vettoriali e matriciali. Per questo motivo trovano applicazione in tutti quei campi che richiedono la risoluzione di equazioni matriciali di grandi dimensioni come la modellizzazione di sistemi fisici, la diagnostica medica e l'elaborazione delle immagini. In figura 4 sono mostrate due versioni di sistemi multiprocessore SiMd: nella prima i core sono dotati di memoria locale e di una rete di connessione che li connette (direttamente o per mezzo di un processore ausiliario di controllo) ai core adiacenti; nella seconda la memoria è accessibile solo tramite la rete di connessione e anche in questo caso per contenere la complessità e i costi ogni core comunica in genere solo con determinati moduli di memoria.

I sistemi MiMd sono i sistemi multiprocessore più diffusi e si possono suddividere in due ampie categorie: i sistemi a memoria condivisa e i sistemi a passaggio di messaggi. In entrambi i casi possono considerarsi costituiti da unità di elaborazione indipendenti, ciascuna dotata dei propri registri, buffer e memoria, che interagiscono tra loro per mezzo di un rete di interconnessione più o meno complessa. Nei

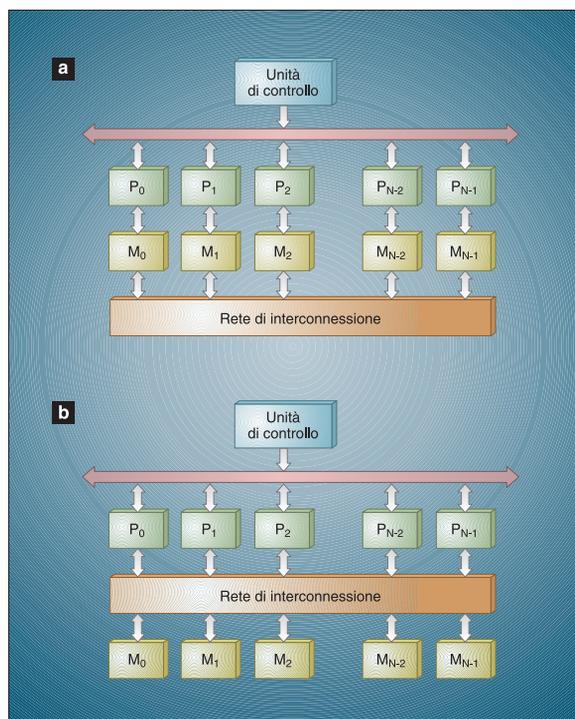


Figura 4 - Due tipologie diffuse di processori multicore con architettura SiMd

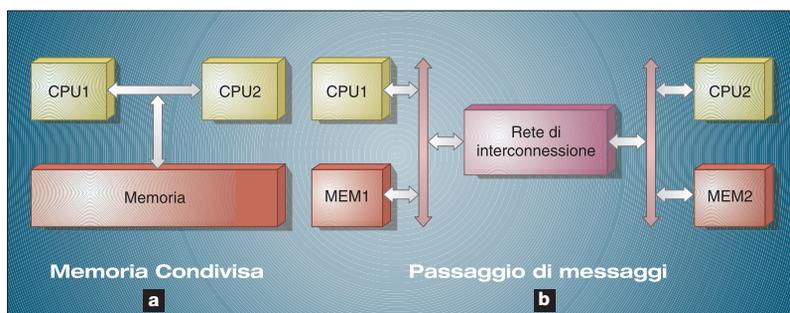


Figura 5 - Schema semplificato di architetture MiMd dual core: a) comunicazioni tramite memoria condivisa; b) comunicazioni tramite passaggio di messaggi

sistemi a memoria condivisa i dati vengono scambiati utilizzando una memoria comune a tutti i core e un'unità di controllo integrata che regola l'accesso evitando conflitti nel caso in cui una richiesta di lettura o scrittura arrivi quando la memoria è utilizzata da un altro core.

Il meccanismo di comunicazione per passaggio di messaggi viene invece implementato in quei sistemi multiprocessore in cui non vi sia disponibilità di una memoria comune e l'interazione tra i nuclei di elaborazione debba necessariamente passare da un core all'altro per mezzo della sola rete di comunicazione e delle rispettive memorie locali.

Si tratta di un meccanismo generalmente meno efficiente della condivisione di memoria che trova ampia applicazione nei sistemi multiprocessore discreti e nei cluster di calcolatori che comunicano tra loro per mezzo di una rete esterna.

Per Berkeley il futuro è a molti, moltissimi core

Nel periodo compreso tra febbraio 2005 e dicembre 2006, un gruppo di ricercatori dell'Università di Berkeley si è periodicamente riunito per discutere dei cambiamenti portati nel mondo del calcolo parallelo dall'introduzione dei processori multicore. Il gruppo ha prodotto un rapporto tecnico, dal titolo "The landscape of parallel computing: a view from Berkeley" che sottolinea come un adeguato approccio dell'industria ai sistemi con più core possa fornire altri trent'anni di progresso tecnologico al settore informatico. Ma a fare la differenza, secondo gli autori dello studio, non saranno i processori a 16 o 32 core, bensì i sistemi con centinaia o migliaia di nuclei di elaborazione, in quelli che sono stati battezzati sistemi manycore.

Gli sforzi necessari per rendere i programmi adatti all'esecuzione parallela sarebbero infatti eccessivi qualora la parallelizzazione fosse ancora modesta, ma verrebbero ricompensati qualora il processore ospitasse letteralmente migliaia di core.

Il rapporto pone l'accento sull'importanza della retrocompatibilità con i paradigmi di programmazione del passato, ottenibile per mezzo dei meccanismi di coerenza della cache e di compatibilità a livello di codice binario, e sulla necessità di metodi efficaci per implementare il parallelismo a livello di task, di parola e di bit.

Tra i vantaggi della realizzazione dei nuovi processori come insiemi di processori elementari di piccole dimensioni vengono citati la maggiore efficienza energetica, la possibilità di implementare tecniche di risparmio energetico spegnendo alcuni core quando non sono utilizzati, la relativa semplicità di realizzazione e verifica dei blocchi costituenti e la possibilità di aggirare i difetti di fabbricazione creando versioni depotenziate nelle quali i core danneggiati siano disabilitati.

Il limite della legge di Amdahl

È lecito chiedersi fino a che punto incrementare il parallelismo porti vantaggi pratici dal punto di vista delle prestazioni. Nel 1967, Gene Amdahl elaborò una formula per esprimere l'incremento di velocità nell'esecuzione di un processo quando una sua parte viene eseguita in parallelo da N processori.

Se s è la percentuale di tempo impiegata per svolgere la porzione seriale del programma e p è la percentuale di tempo impiegata per svolgere la porzione che può essere distribuita in parallelo a più processori, abbiamo che rispetto al caso monoprocesso in cui s+p = 1, utilizzare N processori in parallelo permette di ridurre i tempi di esecuzione complessivi a s+p/N. Il miglioramento in termini di prestazioni si può esprimere sotto forma di fattore di velocità k:

$$kv = (s+p)/(s+p/N) = 1/(s+p/N)$$

Ad esempio, se un dato problema richiede il 20 per cento per la parte sequenziale e l'80 per cento per la parte parallelizzabile, risolverlo con due processori comporta un fattore

di velocità pari a $1/(0,2+0,8/2) = 1,67$, che significa un aumento di velocità del 67 per cento, contro il 100 per cento che ci si sarebbe aspettati se fosse stato interamente parallelizzabile. Analogamente gli incrementi percentuali di velocità ottenibili sotto le stesse condizioni con quattro, otto e 1.024 processori sono rispettivamente di 150, 233 e 398 per cento. Se si fa crescere indefinitamente il numero di processori che gestiscono la parte parallela, il fattore k tende al valore limite 1/s, che per l'esempio considerato comporta un incremento massimo di velocità del 400 per cento.

La legge di Amdahl pone quindi un limite teorico all'incremento di velocità di esecuzione quando il numero di processori cresce oltre un certo limite e a una prima analisi scoraggia il ricorso al parallelismo spinto.

Fatta la legge, trovato l'inganno

Le ricerche effettuate presso i laboratori Sandia e lo studio del gruppo di Berkeley hanno mostrato che le assunzioni implicite nella formulazione della legge di Amdahl sono poco realistiche. Innanzitutto, la dimensione dei problemi trattati tende a crescere man mano che gli utilizzatori hanno accesso a processori più potenti: è più realistico considerare costante il tempo dedicato alla risoluzione del problema (che grazie alle maggiori risorse disponibili potrà essere affrontato con maggior precisione o maggior risoluzione). In genere, quando il problema cresce di dimensioni, a crescere è la parte che può essere svolta in parallelo e che quindi trae maggior vantaggio dall'incremento del numero di processori, mentre le parti che sono trattate sequenzialmente, come il caricamento del programma e la gestione degli input non subiscono alterazioni significative.

Ed Barsis di Sandia National Laboratories ha formulato una versione alternativa della legge di Amdahl basata su queste considerazioni. Siano t_s e t_p i tempi necessari a risolvere le parti seriale e parallela del problema da parte di un sistema a N processori, allora un sistema con un solo processore richiederebbe un tempo pari a $t_s + N t_p$ per svolgere lo stesso compito. Questo significa che il miglioramento di prestazioni in termini temporali è esprimibile nella forma

$$kt = (t_s + N t_p) / (t_s + t_p) = 1 + (N-1) t_p / (t_s + t_p)$$

Se consideriamo, senza perdita di generalità $t_s + t_p = 1$, possiamo esprimere il fattore kt in termini del solo numero di processori e del tempo da dedicare alla parte seriale del problema:

$$kt = 1 + (N-1) (1-t_s) = (1-N) t_s + N$$

Ad esempio, se si prende $t_s = 0,2$ s, il lavoro fatto da un solo processore in un secondo viene fatto da 1.024 processori in 1/819 del tempo.

In quest'ottica è possibile guardare con maggior fiducia al parallelismo spinto e gli esperimenti condotti ai laboratori Sandia su un processore a 1.024 core paiono confermare tale orientamento, dando una decisiva spallata alla barriera imposta dall'uso indiscriminato della legge di Amdahl. ■